

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-037249

(43)Date of publication of application : 10.02.1994

(51)Int.Cl.

H01L 25/00

H01G 4/40

H01L 23/12

(21)Application number : 04-192430

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.07.1992

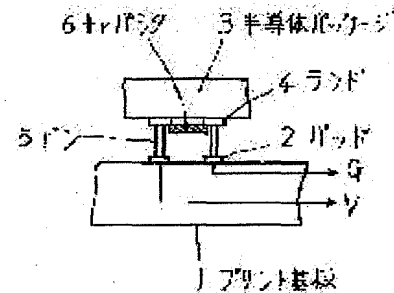
(72)Inventor : MORIMOTO TAKASHI

## (54) MOUNTING STRUCTURE FOR CAPACITOR

## (57)Abstract:

PURPOSE: To contrive to improve the effect of removal of noise by the mounting structure of a capacitor on a printed board to be mounted with a semiconductor package thereon.

CONSTITUTION: A mounting structure of a capacitor is constituted into such a structure that a printed board 1 to be provided with pads 2 thereon and lands 4 to be secured with each pin 5 thereon are arranged, a semiconductor package 3 to be mounted on the board 1 by bonding the pins 5 on the pads 2 is provided and the capacitor 6 for removing noise is secured between two groups of the land 4, which is connected to an earth power supply via the pin 5 and the pad 2, and the land 4, which is connected to a power supply having a prescribed potential via the pin 5 and the pad 2.



## LEGAL STATUS

[Date of request for examination] 13.11.1998

[Date of sending the examiner's decision of rejection] 07.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-37249

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/00	B			
H 0 1 G 4/40		9174-5E		
H 0 1 L 23/12		9355-4M	H 0 1 L 23/ 12	E
		9355-4M		B

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-192430

(22)出願日 平成4年(1992)7月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 森本 隆

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

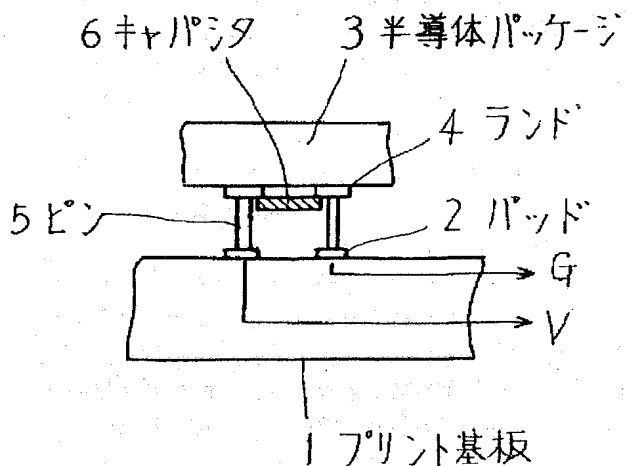
(54)【発明の名称】 キャパシタの取付構造

(57)【要約】

【目的】 半導体パッケージが実装されるプリント基板に於けるキャパシタの取付構造に関し、ノイズの除去効果の向上を図ることを目的とする。

【構成】 パッドが配設されるプリント基板と、ピンが固着されるランドを配列し、該パッドに該ピンがボンディングされることで該プリント基板に実装される半導体パッケージとを備え、前記ピンと、前記パッドとを介してアース電源の接続される前記ランドと、該ピンと、該パッドとを介して所定の電位を有する電源の接続が行われる該ランドとの二組の間にノイズを除去するキャパシタが固着されるように構成する。

### 本発明の原理説明図



1

## 【特許請求の範囲】

【請求項1】 パッド(2) が配設されるプリント基板(1) と、ピン(5) が固着されるランド(4) を配列し、該パッド(2) に該ピン(5) がボンディングされることで該プリント基板(1) に実装される半導体パッケージ(3) とを備え、前記ピン(5) と、前記パッド(2) とを介してアース電源Gの接続される前記ランド(4)と、該ピン(5) と、該パッド(2) とを介して所定の電位を有する電源Vの接続が行われる該ランド(4) との二組の間にノイズを除去するキャパシタ(6) が固着されることを特徴とするキャパシタの取付構造。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体素子が実装されるプリント基板に於けるキャパシタの取付構造に関する。

【0002】 近年、コンピュータなどの電子装置に於ける高速化が図られるようになり、ノイズによる障害がクローズアップされるようになった。そこで、電子装置を構成する半導体素子が実装されるプリント基板にはノイズを除去するキャパシタの取付が行われている。

## 【0003】

【従来の技術】 従来は、図3の従来の側面断面図に示すように形成されていた。図3に示すように、パッド2 が配列されたプリント基板1 のパッド2 にはランド4 に固着されたピン5 を有する半導体パッケージ3 のピン5 をボンディングすることで、プリント基板1 に半導体パッケージ3 を実装するように形成されていた。

【0004】 また、このようなパッド2 には信号Sの接続を行う導電パターン10A と、所定の電位の電源Vの接続を行う導電パターン10B と、アース電源Gの接続を行う導電パターン10C とが設けられ、電源供給路に於けるノイズを除去するよう導電パターン10B と、10C との間にキャパシタ6 の挿入が行われていた。

【0005】 この場合、キャパシタ6 の挿入は、プリント基板1 の所定箇所に導電パターン10B と、10C とのそれぞれに接続される中継パッド11を設け、中継パッド11にキャパシタ6 の電極6Aをボンディングすることで行われていた。

## 【0006】

【発明が解決しようとする課題】 しかし、このような中継パッド11にキャパシタ6 の電極6Aを固着させることで、図3に示すように、中継パッド11と導電パターン10B とを接続するA部に示す接続部と、中継パッド11と導電パターン10C とを接続するB部に示す接続部とが必要となる。

【0007】 したがって、実際には、A,Bに示す接続部の線路長によるLが加わり、特に、多層化されたプリント基板1 では、キャパシタ6 によるノイズを除去する効率が低下する問題を有していた。

2

【0008】 そこで、本発明では、ノイズの除去効果の向上を図ることを目的とする。

## 【0009】

【課題を解決するための手段】 図1は本発明の原理説明図であり、図1に示すように、パッド2 が配設されるプリント基板1 と、ピン5 が固着されるランド4 を配列し、該パッド2 に該ピン5 がボンディングされることで該プリント基板1 に実装される半導体パッケージ3 とを備え、前記ピン5 と、前記パッド2 とを介してアース電源Gの接続される前記ランド4 と、該ピン5 と、該パッド2 とを介して所定の電位を有する電源Vの接続が行われる該ランド4 との二組の間にノイズを除去するキャパシタ6 が固着されるように構成する。

【0010】 このように構成することによって前述の課題は解決される。

## 【0011】

【作用】 即ち、電源V とアース電源G とが接続される半導体パッケージ3 のランド4 間にノイズを除去するキャパシタ6 の固着を行い、電源V とアース電源G との間にキャパシタ6 の挿入が行われるようにしたものである。

【0012】 したがって、前述のようなキャパシタ6 を固着するための中継パッド11をプリント基板1 に設けるよう接続部を形成する必要がなく、接続部の線路長によるLの影響がなくなり、キャパシタ6 によるノイズの除去効果を向上させることができる。

## 【0013】

【実施例】 以下本発明を図2を参考に詳細に説明する。図2は本発明による一実施例の説明図で、(a)は側面断面図、(b)はランドの要部拡大図である。全図を通じて、同一符号は同一対象物を示す。

【0014】 図2の(a)に示すように、半導体パッケージ3 のピン5 をプリント基板1 のパッド2 にボンディングすることで半導体パッケージ3 がプリント基板1 に実装される時、半導体パッケージ3 の背面3Aに配列され、ピン5 の固着を行う所定のランド4 間にキャパシタ6 を固着させるように形成したものである。

【0015】 また、この場合、一方のランド4 には電源Vの接続を行う導電パターン10B が接続され、他方のランド4 にはアース電源Gの接続を行う導電パターン10C が接続されるように形成されている。

【0016】 通常、半導体パッケージ3 に信号S、電源V およびアース電源Gの接続を行う場合は、図2の(b)に示すように、電源V およびアース電源Gの接続はピン5 の格子状に配列した対角に行われ、電源V およびアース電源Gの接続が行われた隣接箇所に信号Sの接続が行われるように接続され、電源V およびアース電源Gの接続される互いのランド4 間の距離を広くするように配慮されている。

【0017】 そこで、キャパシタ6 の固着は、キャパシタ6 を固着すべきランド4 には予め、保持ランド7 を形

3

成し、保持ランド7にキャパシタ6の電極6Aをボンディングすることで行い、確実にキャパシタ6の固着を行うようにする。

【0018】このように構成すると、従来のようなキャパシタ6を固着するよう中継パッド11をプリント基板1に設ける必要がなく、また、中継パッド11に接続される接続部による線路長のLの影響を受けることがないので、従来の中継パッド11にキャパシタ6を固着した場合に比較してL成分を小さくすることができ、インピーダンスが低くなることでノイズの除去効率が向上されることが明である。

【0019】

【発明の効果】以上説明したように、本発明によれば、電源およびアース電源の接続が行われる半導体パッケージのランド間にキャパシタの固着を行うことで、キャパ

4

シタによるノイズの除去効率の向上が図れる。

【0020】また、従来のような中継パッドが不要となり、特に、多数のキャパシタの固着が必要となる場合は、容易にキャパシタの固着が行え、しかも、キャパシタを固着するための、スペースが不要となり、実装効率の向上が図れ、実用的効果は大である。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明による一実施例の説明図

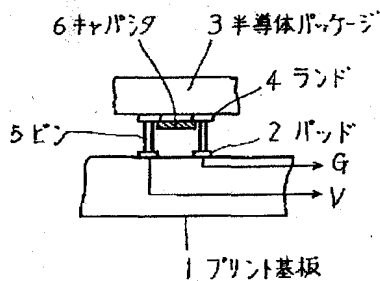
【図3】 従来の説明図

【符号の説明】

- |            |         |
|------------|---------|
| 1 プリント基板   | 2 パッド   |
| 3 半導体パッケージ | 4 ランド   |
| 5 ピン       | 6 キャパシタ |

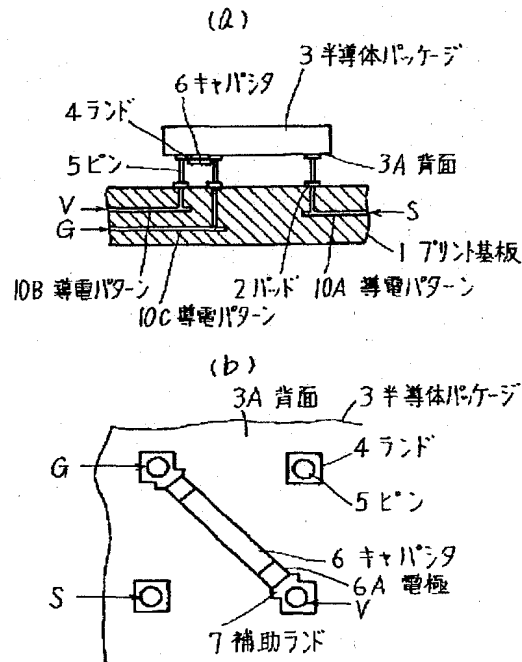
【図1】

本発明の原理説明図



【図2】

本発明による一実施例の説明図



【図3】

従来の側面断面図

